



(11)Publication number: 07168154

(43)Date of publication of application: 04.07.1995

(51)Int.Cl.

G02F 1/133
G02F 1/136
G09G 3/36
H01L 29/786

(21)Application number: 05316970

(71)Applicant:

SEIKO EPSON CORP

(22)Date of filing: 16.12.1993

(72)Inventor:

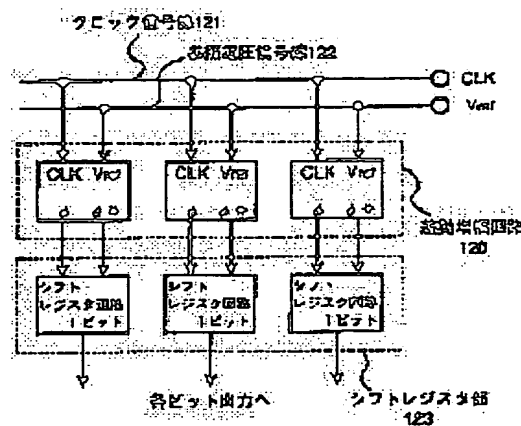
OZAWA NORIO
INOUE SATOSHI
MATSUEDA YOJIRO

(54) THIN-FILM TRANSISTOR CIRCUIT

(57)Abstract:

PURPOSE: To provide a thin film transistor (TFT) circuit which drastically lower the generation probability of malfunctions.

CONSTITUTION: This TFT circuit is constituted to obtain a pair of clock signals ϕ and ϕ^* to be inputted to a shift register section 123 of TFTs of the TFT circuit having the shift register by using a differential amplifier circuit 120 which amplifies the voltage difference between the first clock signal and a reference voltage signal. Then, the dependency of the generation probability of the malfunction on a power supply voltage is eliminated with the TFT circuit provided with such means and, therefore, the standard range of the power supply voltage to warrant the operation is taken large.



THIS PAGE BLANK (USPTO)

Japanese Laid-Open Patent Publication No. 168154/1995

(Tokukaihei 7-168154) (Published on July 4, 1995)

(A) Relevance to claim

The following is a translation of passages related to claims 1 and 20 of the claims of the present invention.

(B) Translation of the related passages

[CLAIMS]

[CLAIM 2]

A thin-film transistor circuit comprising a shift register,

wherein a pair of clock signals inputted to the shift register of said thin-film transistor is obtained by a differential amplifier circuit for amplifying a voltage difference between a third clock signal and a referenced voltage signal.

[CLAIM 3]

The thin-film transistor circuit as defined in claim 2, wherein said shift register of said thin-film transistor circuit is provided with a) said first clocked inverter regulated by said first clock signal, b) said clocked inverter regulated by said second clock signal, which is opposite to said first clock in phase, c) said inverter, and d) said diode circuit composed of a thin-film transistor; the output terminal of said first clocked

THIS PAGE BLANK (USPTO)

inverter is connected to the input terminal of said diode circuit; the output terminal of said diode circuit is connected to the input terminals of said inverter and said second clocked inverter; the output terminal of said inverter is connected to the output terminal of said first clocked inverter and the input terminal of said diode circuit; and the output of said second clocked inverter is connected to an input terminal corresponding to the input terminal of said first clocked inverter of a circuit, which is identical to said thin-film transistor circuit except that the first clock signal is replaced with the second clock signal.

[CLAIM 4]

The thin-film transistor circuit as defined in claim 2 or 3, wherein said referenced voltage signal is equivalent to a middle of an amplitude of said third clock signal.

[CLAIM 5]

A thin-film transistor circuit comprising a differential amplifier circuit,

wherein said differential amplifier circuit is constituted by first, second, and third N-type thin-film transistors, first and second P-type thin-film transistors, and first and second inverter circuits with a plurality of steps; a gate electrode of said first N-type

THIS PAGE BLANK (USPTO)

thin-film transistor is connected to an arbitrary voltage source for maintaining current at a fixed amount within an operational range, the current being applied to the first N-type thin-film transistor; a source electrode is connected to a negative source; a drain electrode is connected to the source electrodes of said second and third N-type thin-film transistors; a clock signal is inputted to the gate electrode of said second N-type thin-film transistor; said referenced voltage signal is inputted to the gate electrode of said third N-type thin-film transistor; the drain electrodes of said second and third N-type thin-film transistors are respectively connected to the drain electrodes of said first and second P-type thin-film transistors; the source electrode and the gate electrode of said first and second P-type thin-film transistors are connected to a positive source; the drain electrodes of said first and second P-type thin-film transistors are respectively connected to the input terminals of said first and second inverter circuits with a plurality of steps; and a pair of clock signals are obtained from the output terminals of said first and second inverter circuits with a plurality of steps.

[CLAIM 6]

A thin-film transistor circuit, comprising a differential amplifier circuit,

THIS PAGE BLANK (USPTO)

wherein said differential amplifier circuit is constituted by third, fourth, and fifth P-type thin-film transistors, fourth and fifth N-type thin-film transistors, and third and fourth inverter circuits with a plurality of steps; a gate electrode of said third P-type thin-film transistor is connected to an arbitrary voltage source for maintaining current at a fixed amount within an operational range, the current being applied to the third P-type thin-film transistor; a drain electrode is connected to a positive source; a source electrode is connected to the drain electrodes of said fourth and fifth P-type thin-film transistors; a clock signal is inputted to the gate electrode of said fourth P-type thin-film transistor; said referenced voltage signal is inputted to the gate electrode of said fifth P-type thin-film transistor; the drain electrodes of said fourth and fifth P-type thin-film transistors are respectively connected to the source electrodes of said fourth and fifth N-type thin-film transistors; the drain electrode and the gate electrode of said fourth and fifth N-type thin-film transistors are connected to a negative source; the source electrodes of said fourth and fifth N-type thin-film transistors are respectively connected to the input terminals of said third and fourth inverter circuits with a plurality of steps; and a pair of clock signals are

THIS PAGE BLANK (USPTO)

obtained from the output terminals of said third and fourth inverter circuits with a plurality of steps.

[CLAIM 7]

The thin-film transistor circuit as defined in claim 2, 3, 4, or 5, wherein said differential amplifier circuit of the thin-film transistor circuit defined in claim 5 or 6 is used.

[0030]

[EFFECTS]

In the thin-film transistor circuit with the above means, a diode circuit is provided at each step of the shift register so as to reduce the occurrence of malfunction caused by operation noise, clock noise, etc., thereby achieving a stable operation. Further, a pair of clock signals, that are inputted to the shift register, are generated virtually at the same time in the differential amplifier circuit, so that a delay difference between clock signals is virtually eliminated and the operation is stabilized. Moreover, a saturation area property of the thin-film transistor is used so as to equivalently realize a constant-current power supply, achieving a stable operation of the thin-film transistor circuit.

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-168154

(43) 公開日 平成7年(1995)7月4日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
	1/136	5 0 0		
G 0 9 G 3/36				
H 0 1 L 29/786				
		9056-4M	H 0 1 L 29/ 78	3 1 1 E
			審査請求 未請求	請求項の数9 O L (全 16 頁)

(21) 出願番号 特願平5-316970

(22) 出願日 平成5年(1993)12月16日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 井上 聡

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 松枝 洋二郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

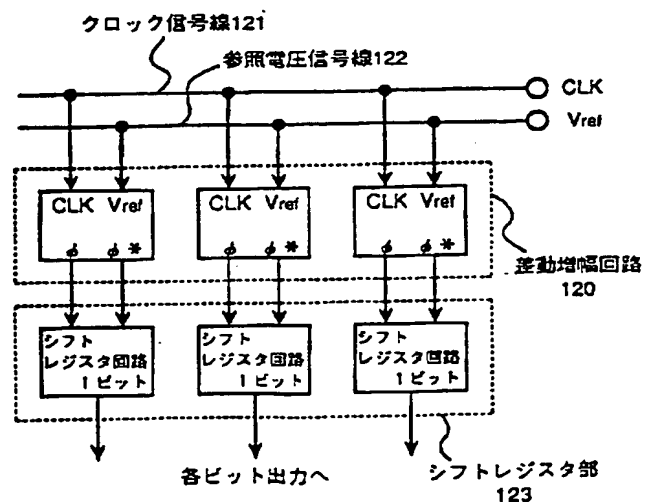
(54) 【発明の名称】 薄膜トランジスタ回路

(57) 【要約】

【目的】 誤動作の発生確率を飛躍的に減少させた薄膜トランジスタ回路を提供する。

【構成】 シフトレジスタを備えた薄膜トランジスタ回路において、前記薄膜トランジスタのシフトレジスタ部に入力する一対のクロック信号 ϕ および ϕ^* を、第1のクロック信号および参照電圧信号の電圧差を増幅する差動増幅回路を用いて得ることを特徴とする薄膜トランジスタ回路。

【効果】 上記手段を講じた薄膜トランジスタ回路においては、電源電圧に対する誤動作の発生確率の依存性が無くなるため、動作を保証する電源電圧の規格範囲を大きくとることが可能となる。



【特許請求の範囲】

【請求項 1】 シフトレジスタを備えた薄膜トランジスタ回路において、前記薄膜トランジスタ回路のシフトレジスタ部が、第 1 のクロック信号に規定される第 1 のクロックドインバータと、前記第 1 のクロックとは逆位相の関係にある第 2 のクロック信号に規定される第 2 のクロックドインバータと、インバータと、薄膜トランジスタからなるダイオード回路とからなり、前記第 1 のクロックドインバータの出力端子を前記ダイオード回路の入力端子に接続し、前記ダイオード回路の出力端子を前記インバータおよび第 2 のクロックドインバータの入力端子に接続し、前記インバータの出力端子を前記第 1 のクロックドインバータの出力端子兼前記ダイオード回路の入力端子に接続し、さらに、前記第 2 のクロックドインバータの出力を、第 1 のクロック信号と第 2 のクロック信号が入れ替わるのを除いて構成を上記と同じくした回路の前記第 1 のクロックドインバータの入力端子に相当する端子に接続して構成されることを特徴とする薄膜トランジスタ回路。

【請求項 2】 シフトレジスタを備えた薄膜トランジスタ回路において、前記薄膜トランジスタのシフトレジスタ部に入力する一対のクロック信号を、第 3 のクロック信号および参照電圧信号の電圧差を増幅する差動増幅回路を用いて得ることを特徴とする薄膜トランジスタ回路。

【請求項 3】 シフトレジスタを備えた薄膜トランジスタ回路において、前記薄膜トランジスタ回路のシフトレジスタ部が、前記第 1 のクロック信号に規定される前記第 1 のクロックドインバータと、前記第 1 のクロックとは逆位相の関係にある前記第 2 のクロック信号に規定される第 2 のクロックドインバータと、前記インバータと、薄膜トランジスタからなる前記ダイオード回路とからなり、前記第 1 のクロックドインバータの出力端子を前記ダイオード回路の入力端子に接続し、前記ダイオード回路の出力端子を前記インバータおよび第 2 のクロックドインバータの入力端子に接続し、前記インバータの出力端子を前記第 1 のクロックドインバータの出力端子兼前記ダイオード回路の入力端子に接続し、さらに、前記第 2 のクロックドインバータの出力を、第 1 のクロック信号と第 2 のクロック信号が入れ替わるのを除いて構成を上記と同じくした回路の前記第 1 のクロックドインバータの入力端子に相当する端子に接続して構成されていることを特徴とする請求項 2 記載の薄膜トランジスタ回路。

【請求項 4】 前記参照電圧信号が前記第 3 のクロック信号の振幅の中心に相当する電圧であることを特徴とする請求項 2 または請求項 3 記載の薄膜トランジスタ回路。

【請求項 5】 差動増幅回路を備えた薄膜トランジスタ回路において、差動増幅回路が第 1、第 2 および第 3 の

N 型薄膜トランジスタと、第 1、第 2 の P 型薄膜トランジスタと、第 1 および第 2 の複数段インバータ回路とからなり、前記第 1 の N 型薄膜トランジスタのゲート電極を、前記第 1 の N 型薄膜トランジスタに流れるドレイン電流量を動作範囲で一定にする任意の電圧源に接続し、ソース電極を負電源に、ドレイン電極を前記第 2 および第 3 の N 型薄膜トランジスタのソース電極に接続し、前記第 2 の N 型薄膜トランジスタのゲート電極にはクロック信号を入力し、前記第 3 の N 型薄膜トランジスタのゲート電極には前記参照電圧信号を入力し、また、前記第 2 および第 3 の N 型薄膜トランジスタのドレイン電極を各々前記第 1 および第 2 の P 型薄膜トランジスタのドレイン電極に接続し、前記第 1 および第 2 の P 型薄膜トランジスタのソース電極およびゲート電極を正電源に接続し、さらに、前記第 1 および第 2 の P 型薄膜トランジスタのドレイン電極を各々、前記第 1 および第 2 の複数段インバータ回路の入力端子に接続して構成され、前記第 1 および第 2 の複数段インバータ回路の出力端子から、一対のクロック信号を得ることを特徴とする薄膜トランジスタ回路。

【請求項 6】 差動増幅回路を備えた薄膜トランジスタ回路において、差動増幅回路が第 3、第 4 および第 5 の P 型薄膜トランジスタと、第 4、第 5 の N 型薄膜トランジスタと、第 3 および第 4 の複数段インバータ回路とからなり、前記第 3 の P 型薄膜トランジスタのゲート電極を、前記第 3 の P 型薄膜トランジスタに流れるドレイン電流量を動作範囲で一定にする任意の電圧源に接続し、ドレイン電極を正電源に、ソース電極を前記第 4 および第 5 の P 型薄膜トランジスタのドレイン電極に接続し、前記第 4 の P 型薄膜トランジスタのゲート電極にはクロック信号を入力し、前記第 5 の P 型薄膜トランジスタのゲート電極には前記参照電圧信号を入力し、また、前記第 4 および第 5 の P 型薄膜トランジスタのドレイン電極を各々前記第 4 および第 5 の N 型薄膜トランジスタのソース電極に接続し、前記第 4 および第 5 の N 型薄膜トランジスタのドレイン電極およびゲート電極を負電源に接続し、さらに、前記第 4 および第 5 の N 型薄膜トランジスタのソース電極を各々、前記第 3 および第 4 の複数段インバータ回路の入力端子に接続して構成され、前記第 3 および第 4 の複数段インバータ回路の出力端子から、一対のクロック信号を得ることを特徴とする薄膜トランジスタ回路。

【請求項 7】 前記請求項 5 または請求項 6 記載の薄膜トランジスタ回路の差動増幅回路を用いることを特徴とする請求項 2 または請求項 3 または請求項 4 または請求項 5 記載の薄膜トランジスタ回路。

【請求項 8】 定電流源を備えた薄膜トランジスタ回路において、薄膜トランジスタに印加されるゲート電圧を V_g 、ドレイン電圧を V_d 、前記薄膜トランジスタの閾値電圧を V_0 としたとき、 $V_d > V_g - V_0$ なる関係が成り立

つ飽和領域に前記薄膜トランジスタの動作を固定するバイアスをゲート電圧に印加し、等価的に定電流源として機能させることを特徴とする薄膜トランジスタ回路。

【請求項9】 前記定電流源を構成する薄膜トランジスタとして、LDD化またはオフセットゲート化した薄膜トランジスタを用いることを特徴とする請求項8記載の薄膜トランジスタ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置の駆動回路、走査型画像読み込み装置の駆動回路等に用いる薄膜トランジスタ回路に関する。また、本発明は、差動増幅回路や演算増幅回路等の定電流源を用いる薄膜トランジスタ回路に関する。

【0002】

【従来の技術】 従来、薄膜トランジスタ回路は、アクティブマトリクス型の液晶表示装置や、走査型画像読み込み装置等の駆動回路に用いられている。

【0003】 これら薄膜トランジスタ回路を用いた装置のうち、アクティブマトリクス方式の液晶表示装置の基本構成を図2にブロック図で示す。図2の液晶表示装置は、薄膜トランジスタ回路で構成されるソース線駆動回路201およびゲート線駆動回路202と、少なくとも画素マトリクス203とが同一の透明絶縁基板204の上に形成されてなる。そのうち、画素マトリクス203は、ソース線駆動回路201に接続された複数のソース線 X_1, X_2, X_3, \dots と、ゲート線駆動回路202に接続された複数のゲート線 Y_1, Y_2, Y_3, \dots と、これらのゲート線およびソース線の各交点に形成された複数の画素 P_{11}, P_{12}, \dots とを有し、各画素 P_{11}, P_{12}, \dots には薄膜トランジスタ205および液晶セル206を有する。

【0004】 以上の基本構成を有する液晶表示装置において、薄膜トランジスタ回路により構成される前記ゲート線駆動回路202および前記ソース線駆動回路201を画素マトリクス203と同一基板上に形成することにより、製造コストの削減および省スペース化を図れることが一般的に知られている。

【0005】 上記の基本構成を有する液晶表示装置の回路構成について、図3を用いて説明する。回路構成は大きく分けて、薄膜トランジスタ回路により構成されるソース線駆動回路301およびゲート線駆動回路302と、画素マトリクス303とからなる。前記ソース線駆動回路301は、ラッチ信号を時系列的に送出するためのX側シフトレジスタ304と、その前記ラッチ信号を増幅、整波するためのバッファ305と、ビデオ信号線306に印加されたビデオ信号を、前記バッファ305から送出されるラッチ信号に応じてソース線308、308'にサンプル、ホールドするためのアナログスイッチ307、307'と、から構成される。ここで、前記

X側シフトレジスタ304は、クロックCLXで規定されるクロックドインバータ331と、クロックCLK*で規定されるクロックドインバータ332と、インバータ333とからなる基本セル334を単位に構成される。

【0006】 一方、前記ゲート線駆動回路302は、ラッチ信号を時系列的に送出するためのY側シフトレジスタ309と、その前記ラッチ信号を増幅、整波し、ゲート線311、311'に送出するためのバッファ310と、から構成される。ここで、前記Y側シフトレジスタ309は、クロックCLYで規定されるクロックドインバータ335と、クロックCLY*で規定されるクロックドインバータ336と、インバータ337と、NANDゲート338からなる基本セル339を単位に構成される。

【0007】 また、前記画素マトリクス303は、前記ソース線308、308'...およびゲート線311、311'...に接続された薄膜トランジスタ312、312'...と液晶セル313、313'...とから構成される。

【0008】 次に、図3の液晶表示装置の駆動方法の一例について、図3と図4を併用して説明する。図4には、図3の点 $P_1, P_2, Q_1, Q_2, R_1, R_2, V_1$ での電圧を時系列で示している。CLXはX側シフトレジスタのクロックを表しており、CLX*とは逆位相の関係になっている。同様に、CLYはY側シフトレジスタのクロックを表しており、CLY*とは逆位相の関係になっている。ここでは、CLX*とCLY*については図示しない。

【0009】 駆動方法を順に説明すると、まず、前記Y側シフトレジスタ309が前記クロックCLY、CLY*のタイミングに応じて、前記クロックCLY、CLY*の周期の1/2の幅のパルスを前記バッファ310に出力する。そのパルスを前記バッファ310が増幅、整波して、前記ゲート線311(P_1)にゲート選択パルス401を出力する。この前記ゲート選択パルス401が選択レベルである間、ゲート線311に接続した複数の前記薄膜トランジスタ312、312'は導通状態になり、このゲート線311に接続した複数の薄膜トランジスタ312、312'に接続したソース線303、303'と、液晶セル313、313'とが電氣的に接続する。このとき、前記X側シフトレジスタ304が前記クロックCLX、CLX*のタイミングに応じて、前記クロックの周期と同じ幅のパルスを前記バッファ305に出力する。そのパルスを増幅、整波してアナログスイッチ307(Q_1)にサンプル・ホールド信号403を出力し、前記アナログスイッチ307はそのパルスに応じて前記ビデオ信号線306(V_1)のビデオ信号405を前記ソース線308(R_1)にサンプル・ホールドする。このとき、先に述べたように前記ゲート線311

に接続した複数の前記薄膜トランジスタ312は導通状態にあるため、前記ソース線308にホールドした信号は前記液晶セル313に書き込まれる。同様に、アナログスイッチ307'はソース線308'に前記ビデオ信号405をサンプル・ホールドする。これによって、前記液晶セル313'には前記ソース線308'にサンプル・ホールドした信号が書き込まれる。これを前記ソース線駆動回路301の側で繰り返すことにより、前記ゲート線311に接続した複数の画素の液晶セルへ、前記ビデオ信号405を書き込むことができる。

【0010】次に、前記ゲート選択パルス401が非選択レベルになった後、前記ゲート線駆動回路302からゲート選択パルス402が出力される。この前記ゲート選択パルス402が選択レベルである間に、前述したのと同様に前記ソース線駆動回路301を駆動すると、前記ゲート線311'に接続した複数の画素の液晶セルに前記ビデオ信号405を書き込むことができる。

【0011】以上の動作を繰り返すことによって、各画素の液晶セル単位でビデオ信号を書き込むことが可能になり、液晶セルに書き込まれた信号に応じて各々の液晶セルの偏光状態を変えることで、画像を得ることができる。

【0012】

【発明が解決しようとする課題】以上の構成を有する薄膜トランジスタにより構成される前記ゲート線駆動回路302および前記ソース線駆動回路301が、電源電圧を上げるのに伴って誤動作し易くなるという現象がある。この原因として、以下に述べる2つが挙げられる。

【0013】まず、1つめの原因として、電源電圧を上げるのに伴って前記駆動回路が動作ノイズ、クロックノイズ等のノイズに敏感になることが挙げられる。また、2つめの原因として、電源電圧を上げるのに伴って前記駆動回路が正負のクロックのタイミングずれに対して敏感になることが挙げられる。

【0014】まず、1つ目の誤動作の原因について、図5に前記駆動回路のシフトレジスタ部の動作に関する部分だけを抜き出して説明する。図3の前記ゲート線駆動回路302のシフトレジスタ304は、出力段に付加したNANDゲート338を除いて、前記ソース線駆動回路301のシフトレジスタ309とほぼ同等の構成からなっているので、この図5では前記ソース線駆動回路301のシフトレジスタ304と前記ゲート線駆動回路302のシフトレジスタ309とに共通する薄膜トランジスタ回路の動作について説明する。

【0015】図5の(a)は、前記のゲート線駆動回路302およびソース線駆動回路301のシフトレジスタに共通する薄膜トランジスタ回路を説明する図である。図5(b)は(a)の前記薄膜トランジスタ回路が理想的に動作したときの各点 $P_{51} \sim P_{54}$ での電圧波形を説明する図、図5(c)は(a)の前記薄膜トランジスタ回

路が誤動作したときの各点 $P_{51} \sim P_{54}$ での電圧波形を説明する図である。図5(a)において、 D_{in} はこの回路のシフト動作を開始する信号を入力する端子を表す。また、 ϕ 、 ϕ^* は位相が互いに逆転した2つのクロックを表しており、それらはクロックドインバータのインバータ動作のオンオフを制御している。例えば図5(a)

で、 ϕ の矢印に指されているクロックドインバータ501、506は、クロック ϕ がハイレベル、かつ、クロック ϕ^* がローレベルのときインバータとして動作する。同様に、 ϕ^* の矢印に指されているクロックドインバータ503、504はクロック ϕ^* がハイレベル、かつ、クロック ϕ がローレベルのときインバータとして動作する。ここでいうハイレベルとは、N型薄膜トランジスタを導電状態に、かつ、P型薄膜トランジスタを絶縁状態にするときに印加されるゲート電圧に相当する。同様に、ローレベルとは、N型薄膜トランジスタを絶縁状態に、P型薄膜トランジスタを導電状態にするときに印加されるゲート電圧に相当する。ちなみに本文中では、薄膜トランジスタの伝導型についての記述が特にない場合には、全てエンハンスメント型の薄膜トランジスタであるものとする。

【0016】上記の回路の理想的な動作について動作順に説明する。初期状態においてクロック ϕ はローレベル、クロック ϕ^* はハイレベルになっているものとする。また、点 P_{52} 、点 P_{54} はローレベルになっており、 D_{in} 、点 P_{51} 、点 P_{53} はハイレベルになっているものとする。(t₅₀)

このとき、 D_{in} をローレベルにする。この時点では、まだクロックドインバータ501はインバータ動作をしていないため、 D_{in} がローレベルになったにも関わらず点 P_{51} はローレベルのまま保持される。(t₅₁)

ここでクロック ϕ をハイレベルに、クロック ϕ^* をローレベルにすると、クロックドインバータ501がインバータ動作を開始し、点 P_{51} はハイレベルとなる。また、点 P_{52} はインバータ502を介してローレベルとなる。このとき、クロックドインバータ504はインバータ動作をしていないため、その入力端子である点 P_{52} と出力端子である点 P_{53} はともにローレベルのままとなる。

(t₅₂)

次に再びクロック ϕ をローレベルに、クロック ϕ^* をハイレベルにすると、クロックドインバータ501はインバータ動作を止めるのに対し、クロックドインバータ503、504がインバータ動作を開始する。クロックドインバータ504の出力端子である点 P_{53} はハイレベルとなり、さらに点 P_{54} はインバータ505を介してローレベルとなる。一方、クロックドインバータ503は点 P_{51} のローレベルの電圧を保持する。(t₅₃)

さてクロック ϕ および ϕ^* はそのままの状態で、次に D_{in} をハイレベルにする。このとき、クロックドインバータ501はインバータ動作をしていないため、 D_{in} 、点

P_{51} ともにハイレベルとなっている。(t₅₄)

その後クロック ϕ をハイレベル、クロック ϕ^* をローレベルにすると、前記t₅₂の時点と同様に機能し、点 P_{51} をローレベルに、点 P_{52} をハイレベルにする。この時点では、点 P_{53} および点 P_{54} は、クロックドインバータ504がインバータ動作をしていないので、それぞれハイレベル、ローレベルのままである。(t₅₃)

最後に、前記t₅₃の時点と同様にクロック ϕ をローレベル、クロック ϕ^* をハイレベルにすることにより、点 P_{53} はローレベル、点 P_{54} はハイレベルとなる。(t₅₆) さてここでt₅₀の時点から、点 P_{52} および点 P_{54} における出力電圧の波形を見てみると、点 P_{54} には、点 P_{52} の信号がクロック ϕ 、 ϕ^* の半周期分だけ遅れて出力されていることが分かる。つまり点 P_{52} から点 P_{54} へ、クロックの半周期の間に出力信号がシフトされたことになる。以上が理想的なシフトレジスタ動作である。

【0017】これに対して、図5(c)に示すような誤動作が生じることがある。ここでは一例として、t₅₃の時点で点 P_{51} にクロックノイズが載り、電圧がハイレベルより下がった状態を想定する。

【0018】このとき理想的には、クロックドインバータ503がインバータとして機能して点 P_{51} の電圧をハイレベルに保持することができる。しかし、実際には回路全体としての最高動作周波数を上げるために、点 P_{51} の電圧保持のために用いられるクロックドインバータ503のゲート幅は、インバータ502を駆動するのに用いられるクロックドインバータ501のゲート幅よりも狭くすることが多い。

【0019】この結果、クロックドインバータ503の駆動能力はクロックドインバータ501に比べ低いものとなり、高速動作において点 P_{51} は電圧を保持しきれなくなる。この例では、点 P_{51} の電圧が極端にハイレベルから落ちている。点 P_{51} にこのような電圧が印加されたとすると、t₅₃~t₅₄の間、点 P_{52} は理想的にはローレベルであるはずが、これとは逆にハイレベルとなってしまう。さらに、このときクロックドインバータ504はインバータ動作をしているから点 P_{53} はローレベルになり、そして点 P_{54} はハイレベルとなる。このとき、理想的には点 P_{54} はローレベルになるはずだが、この例ではt₅₀の時点からハイレベルのままに保持されている。これは即ち誤動作しているということである。

【0020】以上に説明したように、クロックノイズ等のノイズが載ることによって前記駆動回路の誤動作が生じることが分かった。さて、一般に薄膜トランジスタはその易動度が半導体基板上に形成される電界効果型トランジスタに比べて小さいため、薄膜トランジスタを用いた論理回路ではクロックの論理電圧と電源電圧とを同じくして、高速動作を実現することが多い。つまり、通常の薄膜トランジスタ回路においては、電源電圧を上げるに従ってそのクロックノイズも大きくなるということである。

あり、延いては誤動作が生じ易くなる。

【0021】次に、前述の2つ目の原因について説明する。それは、前記駆動回路の電源電圧を上げるのに伴って正負のクロックのタイミングずれに敏感になるという現象である。これについては、図6および図7を用いて説明する。図6の(a)は図5(a)で示した薄膜トランジスタ回路と同じである。(b)はこの薄膜トランジスタ回路が誤動作したときの各点 D_{in} 、 P_{61} ~ P_{64} 、クロック ϕ 、 ϕ^* の電圧波形を示す。図6(a)の構成とその理想的動作については上記図5(a)を用いて説明したものと同等であるので、ここでは説明を省く。ただし、図6(b)に示す時点t₆₀~t₆₅は図5(b)および(c)で用いた時点t₅₀~t₅₆と同等には対応していないので注意してされたい。また、図7は図6(a)のクロックドインバータ601のt₆₂~t₆₃、t₆₄~t₆₅期間での動作およびクロックドインバータ603のt₆₄~t₆₅での動作を説明する図である。図7(a)は薄膜トランジスタで構成した代表的なクロックドインバータの等価回路図である。ここに示すクロックドインバータは、クロックCL1に導通状態を制御される第1のP型薄膜トランジスタ701と、入力信号INに導通状態を制御される第2のP型薄膜トランジスタ702と、入力信号INに導通状態を制御される第1のN型薄膜トランジスタ703と、クロックCL2に導通状態を制御される第2のN型薄膜トランジスタとから構成され、それらは前記の順に正の電源V_{dc}から負の電源V_{ss}に直列に設けられる。このクロックドインバータの出力OUTは、前記第2のP型薄膜トランジスタ702のドレイン端子と、前記第1のN型薄膜トランジスタのドレイン端子との接続端子での電圧である。ここでは、このクロックドインバータの動作を説明する表、図7(b)を参照して、図6のクロックドインバータの動作を説明する。

【0022】前述と同様に、この誤動作について動作順に説明する。初期状態においてクロック ϕ はローレベル、クロック ϕ^* はハイレベル、 D_{in} はハイレベル、点 P_{61} 、 P_{63} はローレベル、点 P_{62} 、 P_{64} はハイレベルであるとする。(t₆₀)まず、 D_{in} がローレベルに変わる。このとき、クロックドインバータ601はインバータ動作をしていないので点 P_{61} はローレベルのままである。(t₆₁)

さてこの誤動作の例では、クロック ϕ がクロック ϕ^* に遅れを生じている場合を考える。そうすると、まず最初にクロック ϕ^* がローレベルに変わる。このとき、クロックドインバータ601においては、図7(b)に示すように期間t₆₂~t₆₃において、第1のP型薄膜トランジスタ701および第2のP型薄膜トランジスタ702が同時に導通状態となり、出力(点 P_{61})はハイレベルとなる。これに多少遅れてクロック ϕ がハイレベルに変わる。この時点で前記クロックドインバータ601の第2のN型薄膜トランジスタ704は導通状態となるが、

第1のN型薄膜トランジスタ703は絶縁状態のままであり、結局、前記クロックドインバータ601の出力はハイレベルのまま変わらない。(t₆₃)

次に、クロック ϕ^* がハイレベルに変わる。この状態のとき前記クロックドインバータ601においては、図7(b)に示すように第2のP型薄膜トランジスタ702および第2のN型薄膜トランジスタ704は導通状態にあるが、第1のP型薄膜トランジスタ701および第1のN型薄膜トランジスタ703が絶縁状態にある。このため、出力端子OUTつまり点P₆₁が正負両方の電源と高抵抗を介して接続されているのと等価になり、点P₆₁の電圧は電源電圧の1/2に漸近しつつ、不安定な状態になる。このとき、理想的な動作状況下ではクロックドインバータ603がインバータ動作をして点P₆₁をハイレベルに保持する役割を果たす。しかし、図7(b)に示すように、前記クロックドインバータ603の第1のP型薄膜トランジスタ701および第1のN型薄膜トランジスタ703は導通状態となるが、第2のP型薄膜トランジスタおよび第2のN型薄膜トランジスタは絶縁状態となる。つまり、これはインバータとして機能せず、点P₆₁をハイレベルに保持することはできない。

(t₆₄)

その後再びクロック ϕ^* がローレベルになるまでの間(t₆₄~t₆₅)に、点P₆₁の電圧が電源電圧の1/2程度にまで漸近してしまったとすると、インバータ602の出力は、それを構成するP型薄膜トランジスタとN型薄膜トランジスタの特性差等の諸要因に左右され、ハイレベル、ローレベルのどちらに近い電圧を出力するか予想できない。ここでは、仮に前記インバータ602がハイレベルに近い電圧を点P₆₂に出力した場合を考えると、前記クロックドインバータ603の出力(点P₆₁)はローレベルとなる。この時点ですでに、前述の図5を用いて説明した誤動作の状況と全く同じになっている。

【0023】これらの駆動回路では電源電圧を上げるのに伴って駆動回路の最高動作周波数も高くなる。このとき、駆動回路内の一部に誤動作が生じたとすると、それに対する応答速度も速くなるため、誤動作を補正するはずの動作が追いつかなくなるとい現象が生じる。従って、ある一定の動作周波数でこの駆動回路が動作しているとき、電源電圧を上げるのに伴い誤動作が発生し易くなるということが起こる。

【0024】以上に説明した原因により前記駆動回路の誤動作が生じるのだが、実際にはこれらの現象が同時に進行しており、なお一層、誤動作し易くなっているのである。

【0025】本発明では以上の課題を解決し、安定動作を保証する薄膜トランジスタ回路を実現する方法について述べる。

【0026】

【課題を解決するための手段】シフトレジスタを備えた

薄膜トランジスタ回路において、前記薄膜トランジスタ回路のシフトレジスタ部が、第1のクロック信号に規定される第1のクロックドインバータと、前記第1のクロックとは逆位相の関係にある第2のクロック信号に規定される第2および第3のクロックドインバータと、インバータと、薄膜トランジスタからなるダイオード回路とからなり、前記第1のクロックドインバータの出力端子を前記ダイオード回路の入力端子に接続し、前記ダイオード回路の出力端子を前記インバータおよび第2のクロックドインバータの入力端子に接続し、前記第2のクロックドインバータの出力端子を前記第1のクロックドインバータの出力端子兼前記ダイオード回路の入力端子に接続し、さらに、前記第2のクロックドインバータの出力を、第1のクロック信号と第2のクロック信号が入れ替わるのを除いて構成を上記と同じくした回路の前記第1のクロックドインバータの入力端子に相当する端子に接続して構成することにより、前記課題を解決する。

【0027】また、シフトレジスタを備えた薄膜トランジスタ回路において、前記薄膜トランジスタのシフトレジスタ部に入力する一対のクロック信号を、第3のクロック信号および参照電圧信号の電圧差を増幅する差動増幅回路を用いて得ることにより、前記課題を解決する。このとき、前記参照電圧信号が前記第3のクロック信号の振幅の中心に相当する電圧にすることにより、一層の効果が得られる。

【0028】また、差動増幅回路を備えた薄膜トランジスタ回路が、第1、第2および第3のN型薄膜トランジスタ回路と、第1、第2のP型薄膜トランジスタ回路と、第1および第2の複数段インバータ回路とからなり、前記第1のN型薄膜トランジスタのゲート電極を、前記第1のN型薄膜トランジスタに流れるドレイン電流量を動作範囲で一定にする任意の電圧源に接続し、ソース電極を負電源に、ドレイン電極を前記第2および第3のN型薄膜トランジスタのソース電極に接続し、前記第2のN型薄膜トランジスタのゲート電極には前記第3のクロック信号を入力し、前記第3のN型薄膜トランジスタのゲート電極には前記参照電圧信号を入力し、また、前記第2および第3のN型薄膜トランジスタのドレイン電極を各々前記第1および第2のP型薄膜トランジスタのドレイン電極に接続し、前記第1および第2のP型薄膜トランジスタのソース電極およびゲート電極を正電源に接続し、さらに、前記第1および第2のP型薄膜トランジスタのドレイン電極を各々、前記第1および第2の複数段インバータ回路の入力端子に接続して構成され、前記第1および第2の複数段インバータ回路の出力端子から、前記シフトレジスタ部に入力する一対のクロック信号を得る方法、同様にまたは、差動増幅回路を備えた薄膜トランジスタ回路が、第3、第4および第5のP型薄膜トランジスタ回路と、第4、第5のN型薄膜トランジスタ回路と、第3および第4の複数段インバータ回路

とからなり、前記第3のP型薄膜トランジスタのゲート電極を、前記第3のP型薄膜トランジスタに流れるドレイン電流量を動作範囲で一定にする任意の電圧源に接続し、ドレイン電極を正電源に、ソース電極を前記第4および第5のP型薄膜トランジスタのドレイン電極に接続し、前記第4のP型薄膜トランジスタのゲート電極には前記第3のクロック信号を入力し、前記第5のP型薄膜トランジスタのゲート電極には前記参照電圧信号を入力し、また、前記第4および第5のP型薄膜トランジスタのドレイン電極を各々前記第4および第5のN型薄膜トランジスタのソース電極に接続し、前記第4および第5のN型薄膜トランジスタのドレイン電極およびゲート電極を負電源に接続し、さらに、前記第4および第5のN型薄膜トランジスタのソース電極を各々、前記第3および第4の複数段インバータ回路の入力端子に接続して構成され、前記第3および第4の複数段インバータ回路の出力端子から、前記シフトレジスタ部に入力する一対のクロック信号を得る方法により、前記課題を解決する。

【0029】また、定電流源を備えた薄膜トランジスタ回路において、薄膜トランジスタに印加されるゲート電圧を V_g 、ドレイン電圧を V_d 、前記薄膜トランジスタの閾値電圧を V_j としたとき、 $V_d > V_g - V_j$ なる関係が成り立つ飽和領域に前記薄膜トランジスタの動作を固定するバイアスをゲート電圧に印加し、等価的に定電流源として機能させることにより、前記課題を解決し、さらに前記定電流源を構成する薄膜トランジスタとして、LD化またはオフセットゲート化した薄膜トランジスタを用いることにより一層の効果が得られる。

【0030】

【作用】上記手段を講じた薄膜トランジスタ回路においては、そのシフトレジスタ部の各段毎にダイオード回路を設けることにより動作ノイズ、クロックノイズ等による誤動作の発生確率を減らし、安定動作を実現する。また、そのシフトレジスタ部に入力される一対のクロック信号を差動増幅回路でほぼ同時に生成することにより、クロック信号間の遅延差を実質的に無くして安定動作を実現する。また、薄膜トランジスタの飽和領域の特性を用いることにより定電流源を等価的に実現し、薄膜トランジスタ回路の安定動作を実現する。

【0031】

【実施例】次に、本発明の実施例について以下に説明する。

【0032】本発明は、液晶表示装置の駆動回路等や、走査型画像読み込み装置の駆動回路等に用いられる薄膜トランジスタ回路に適用できる。ここでは実施例として、本発明の薄膜トランジスタ回路を用いて駆動回路を構成したアクティブマトリクス方式の液晶表示装置について説明する。この基本構成は従来例で示したものと変わらないため、従来例の説明で用いた図2を用いて説明する。本発明の薄膜トランジスタ回路をアクティブマト

リクス方式の液晶表示装置は、ソース線駆動回路201およびゲート線駆動回路202と、少なくとも画素マトリクス203が同一の透明絶縁基板204の上に形成されてなる。そのうち、画素マトリクス203は、ソース線駆動回路201に接続された複数のソース線 X_1, X_2, X_3, \dots と、ゲート線駆動回路202に接続された複数のゲート線 Y_1, Y_2, Y_3, \dots と、これらのゲート線およびソース線の各交点に形成された複数の画素 P_{11}, P_{12}, \dots とを有し、各画素 P_{11}, P_{12}, \dots には薄膜トランジスタ205および液晶セル206を有する。

【0033】以上の構成を持ったアクティブマトリクス方式の液晶表示装置等の駆動回路等に用いられる薄膜トランジスタ回路において、その誤動作を防止するためには、駆動回路の各接続点の電圧を正常に保持することが必要である。以下、それを実現する実施例について具体的に述べる。

【0034】（実施例1）本実施例1では、ダイオード接続した薄膜トランジスタを用いて薄膜トランジスタ回路中の各接続点の電圧を保持し、誤動作を防止する方法について述べる。図8は、本発明の実施例1を説明する図である。ここでは、前記のゲート線駆動回路302およびソース線駆動回路301等のシフトレジスタ回路として、本発明を適用した場合について説明する。

【0035】まず、図中の記号について説明する。803および807はインバータである。また、801および808はクロック ϕ がハイレベル、クロック ϕ^* がローレベルのときにインバータ動作を行うクロックドインバータであり、804および805はクロック ϕ がローレベル、クロック ϕ^* がハイレベルのときにインバータ動作を行うクロックドインバータである。また、802および806はダイオード接続をした薄膜トランジスタである。これらは両極性ダイオードと等価であるため、以下ではダイオード802、806と記すことにする。ここでは一例として、第1の端子にN型薄膜トランジスタのゲート電極およびソース電極およびP型薄膜トランジスタのゲート電極およびソース電極を接続し、第2の端子にN型薄膜トランジスタのドレイン電極およびP型薄膜トランジスタのドレイン電極を接続して構成されるダイオードを一例として挙げる。

【0036】なお、前記クロック ϕ とクロック ϕ^* とは逆位相の関係にある。また、本文中で述べるハイレベルとは、N型薄膜トランジスタを導電状態に、かつ、P型薄膜トランジスタを絶縁状態にするときに印加されるゲート電圧に相当する。同様に、ローレベルとは、N型薄膜トランジスタを絶縁状態に、P型薄膜トランジスタを導電状態にするときに印加されるゲート電圧に相当する。以下、本文中ではハイレベルの電圧を V_H 、ローレベルの電圧を V_L と記す。また、本文中、薄膜トランジスタの伝導型についての記述が特にない場合には、全て

エンハンスメント型の薄膜トランジスタであるものとする。

【0037】次に、この薄膜トランジスタ回路の動作について図8および図9を用いて説明する。図9は図8の点 $P_{80} \sim P_{86}$ での電圧を表したタイムチャートであり、同符号が同じ箇所に対応している。

【0038】まず初期状態として、シフト開始信号の入力端子である点 P_{80} が V_H になっており、シフト信号の出力端子である点 P_{81} 、 P_{82} が V_L になっている場合を想定する。(t₉₀)

この初期状態から、クロック ϕ が V_H に、クロック ϕ^* が V_L に変わる。このとき、クロック ϕ で規定されているクロックドインバータ801はインバータ動作をし、クロック ϕ^* で規定されているクロックドインバータ804はインバータとして機能しない。よって、ダイオード802の入力端子である点 P_{83} は V_L となる。この状態のとき、ダイオード802は双方向ダイオードとして機能するため、それを構成する薄膜トランジスタの閾値電圧 V_{th} を V_L に加えた電圧($V_{th} + V_L$)を点 P_{84} に出力する。次にインバータ803は、入力電圧が V_L 以上($V_{th} + V_L$)以下のとき V_H の電圧を出力する。これにより、点 P_{81} は V_H となり、初期状態での V_L から V_H へと変化したことになる。(t₉₁)

次に、クロック ϕ が V_L に、クロック ϕ^* が V_H になり、点 P_{80} が再び V_L になる。このとき、前述と同様にクロック ϕ で規定されているクロックドインバータ801はインバータとして機能せず、点 P_{80} の電圧状態の変化が点 P_{83} に伝えられることはない。これに対して、クロック ϕ^* で規定されているクロックドインバータ804および805はインバータ動作をする。このうち、クロックドインバータ804は点 P_{83} の電圧 V_L を保持するよう機能する。一方、クロックドインバータ805は点 P_{85} を V_L に変える。点 P_{85} の V_L 出力を受け、ダイオード806は前述と同様に電圧($V_{th} + V_L$)を点 P_{86} に出力し、続いて、インバータ807が V_H の電圧を点 P_{82} に出力する。こうして、点 P_{82} は初期状態の V_L から V_H へと変化したことになる。(t₉₂)

次に再び、クロック ϕ が V_H に、クロック ϕ^* が V_L になる。このとき、クロック ϕ で規定されているクロックドインバータ801および808はインバータ動作をし、クロック ϕ^* に規定されているクロックドインバータ804および805はインバータとして機能しない。クロックドインバータ801は、この時点で点 P_{80} が V_H から V_L に電圧状態が変化したのに対応して V_H の電圧を点 P_{83} に出力する。ダイオード802は、これを受けて V_H よりも閾値電圧 V_{th} 分だけ低い電圧($V_H - V_{th}$)を点 P_{84} に出力する。インバータ803は、入力電圧が($V_H - V_{th}$)以下 V_H 以下のとき V_L の電圧を出力する。これにより、点 P_{81} は V_L となり、初期状態から V_L 、 V_H 、 V_L と変化、ビット出力となる。このとき、クロッ

クドインバータ805は、インバータとして機能しないので、点 P_{81} の電圧状態の変化に対応しない。一方、クロックドインバータ808は点 P_{85} の電圧を保持するよう機能している。(t₉₃)

次に再び、クロック ϕ が V_L に、クロック ϕ^* が V_H になる。クロック ϕ^* に規定されているクロックドインバータ804および805はインバータ動作をし、クロック ϕ に規定されているクロックドインバータ801および808はインバータとして機能しない。このうち、クロックドインバータ804は点 P_{83} の保持動作を行う。一方、クロックドインバータ805は、この時点で点 P_{81} の電圧状態の変化に対応し、 V_H の電圧を点 P_{86} に出力する。これに続いて、ダイオード806は前述と同様に($V_H - V_{th}$)の電圧を点 P_{86} を出力し、インバータ807は V_L を出力する。こうして、点 P_{82} は点 P_{81} と同様に V_L 、 V_H 、 V_L と変化、ビット出力となる。

(t₉₄)

通常、クロック ϕ とクロック ϕ^* とは互いに逆位相で同周期の周期信号である。つまり、点 P_{82} の出力信号は点 P_{81} の出力信号に対しクロック ϕ および ϕ^* の1/2周期だけ遅れていることになる。即ち、これによりビット出力が転送され、シフトレジスタ動作は従来と同様に行われたということになる。

【0039】さてここで、従来の薄膜トランジスタ回路ではクロックノイズ等により誤動作が発生したのに対して、本実施例1の薄膜トランジスタ回路を用いることにより誤動作の発生頻度が大幅に改善されることを説明する。

【0040】具体的な場合を想定し、ここでは前記の時点t₉₂において、点 P_{83} がクロックノイズ等の影響により($V_{th} + V_L$)以上の電圧、($V_{th} + V_L + V_{err}$)に瞬間的に変化したものとする。過渡応答を考慮しなければ、前記ダイオード802は($V_{th} + V_L$)以上の電圧を入力した場合、入力電圧を減衰させることなく出力することができると考えられる。しかし実際には、前記ダイオードを構成する薄膜トランジスタの素子容量および素子抵抗により前記ダイオードには遅延回路が等価的に構成されることになり、点 P_{84} は点 P_{83} の電圧変動の影響を瞬間的に受けることは無くなる。そうした遅延が生じている間に、前記クロックドインバータ804が機能して点 P_{83} を V_L に戻し、正常動作させることができる。

【0041】以上に示した本発明の構成をシフトレジスタ部の各ビットに設けることにより各ビット毎に誤動作を防止することが可能となるため、誤動作の発生確率を減少させることができる。

【0042】なおここでは、前記ダイオード802および806、インバータ803および807等、図8に示した回路に用いる薄膜トランジスタ全ての閾値電圧が等しい場合について説明した。これに対して、前記ダイオ

ードに用いた薄膜トランジスタの閾値電圧 V_{th1} を、その他の前記インバータおよび前記クロックドインバータに用いた薄膜トランジスタの閾値電圧 V_{th2} よりも小さくすることで以下に説明する理由により、さらに安定動作が保証されることになる。このとき、インバータ803および807への入力電圧は、前記ダイオードへの入力電圧が V_L のとき $(V_L + V_{th1})$ 、 V_H のとき $(V_H - V_{th1})$ で安定する。また、前記インバータは入力電圧が V_L 以上 $(V_L + V_{th2})$ 以下のとき V_H を出力し、さらに入力電圧が V_L に近い程安定して V_H を出力することができる。同様に、入力電圧が $(V_H - V_{th2})$ 以上 V_H 以下のとき V_L を出力し、さらに入力電圧が V_H に近い程安定して V_L を出力することができる。前記インバータに安定して入力される電圧は $(V_L + V_{th1})$ および $(V_H - V_{th1})$ であるので、この $V_{th1} < V_{th2}$ なる条件が成り立つとき、 $V_L < V_L + V_{th1} < V_L + V_{th2}$ および $V_H - V_{th2} < V_H - V_{th1} < V_H$ の関係が成り立つため、前記インバータは、全ての薄膜トランジスタの閾値電圧が等しい場合に比べて、安定した出力をすることができる。以上により、さらに誤動作の発生確率の低い薄膜トランジスタ回路を得ることができる。

【0043】以上に示した薄膜トランジスタを用いたダイオード回路を用いる本実施例1による方式は、従来の動的シフトレジスタ等に用いられている容量を付加する方式に比べ電源線へのノイズ混入を少なくすることが可能となる。これは、従来の容量を付加する方式が、電源線との間に設けた容量を介して電荷変動を直接的に電源線に伝えるのに対して、ダイオード回路を用いる本実施例1の方式が、電源線とダイオードとを直接に接続せず、他のインバータ等を通じて間接的に接続するからである。

【0044】(実施例2) 本実施例2では、クロック発生回路に薄膜トランジスタで構成した差動増幅回路を用いて薄膜トランジスタ回路に入力されるクロックのタイミングずれを少なくし、誤動作を防止する方法について述べる。

【0045】図1は本実施例2を用いた薄膜トランジスタ回路の一例を説明するブロック図である。ここでは、アクティブマトリクス型液晶表示装置等の駆動装置に用いられる薄膜トランジスタ回路を挙げる。図中記号120は差動増幅回路を示しており、記号121、122はそれぞれ前記差動増幅回路に入力されるクロック信号CLKを伝送するクロック信号線および参照電圧 V_{ref} を伝送する参照電圧信号線を示している。また、記号123は前記差動増幅回路から出力されたクロック ϕ および ϕ^* の信号を入力して動作するシフトレジスタ回路であり、ここでは説明簡略化のため前記シフトレジスタ回路を1ビット毎のブロック図で示した。前記シフトレジスタ回路については従来のものと動作、構成とも特に変わらない。以上の構成のとき、前記差動増幅回路120

は、クロック信号CLKおよび参照電圧 V_{ref} を入力し、前記クロック121と同相のクロック ϕ および逆相のクロック ϕ^* を出力する。

【0046】次に、この差動増幅回路120の具体的構成の一例を図10に示す。図中、記号140、141、142はN型薄膜トランジスタを表し、記号143および144はP型薄膜トランジスタを表している。また、記号145は差動対回路を表し、146および146'は前記差動対回路の出力を増幅するバッファを表している。ここでは、前記参照電圧信号 V_{ref} を第1の入力端子148に入力し、前記クロック121を第2の入力端子147に入力して、それらの電圧の差を増幅出力している。バッファ146および146'は、入力端子にN型薄膜トランジスタのゲート電極およびP型薄膜トランジスタのゲート電極を接続し、出力端子に前記N型薄膜トランジスタのドレイン電極および前記P型薄膜トランジスタのドレイン電極を接続し、前記N型薄膜トランジスタのソース電極を負電源に接続し、前記P型薄膜トランジスタのソース電極を正電源に接続することにより得られるインバータ回路を複数接続してなる。これらの回路は電圧 V_{dc} の正電源および電圧 V_{ss} の負電源に接続されている。

【0047】以上の差動増幅回路を用いてクロック ϕ および ϕ^* を得る課程を、図11および図12を用いて回路動作に基づいて説明する。図11は、図10に示す差動増幅回路のうち前記差動対145の動作を説明する図である。図11(a)は、前記参照電圧 V_{ref} に比べて前記クロック121の電圧 V_{in} の方が大きい場合の差動対回路での電流の流れを示す図であり、図11(b)は逆に、前記クロック121の電圧 V_{in} に比べて前記参照電圧 V_{ref} の方が大きい場合での差動対回路での電流の流れを示す図である。図12はこの差動増幅回路を実際に駆動した場合の動作状態を説明するタイムチャートである。

【0048】まず図11を用いて簡単に前記差動対回路145の動作を説明する。それぞれの薄膜トランジスタに附した記号は図10と同じである。さて、まずN型薄膜トランジスタ140はゲート電極に入力されるバイアス電圧 V_{bias} により常に飽和領域で動作をするよう保持されている。飽和領域において薄膜トランジスタはドレイン電圧に依存せずドレイン電流が流れるので、ここでは前記N型薄膜トランジスタ140は等価的に定電流源として用いられている。その定電流源が定電流 i を流しているとする。さて、図11(a)に示すように $V_{in} > V_{ref}$ の関係が成り立つとき、N型薄膜トランジスタ141の抵抗は、それに対峙するN型薄膜トランジスタ142の抵抗に比べて小さくなるので、前記N型薄膜トランジスタ141には前記定電流 i の $1/2$ よりも i_{df} だけ多い電流 $(i/2 + i_{df})$ が流れることになる。同様に、これに対峙する前記N型薄膜トランジスタ142には $(i/2 - i_{df})$ の電流が流れることになる。一方、

前記P型薄膜トランジスタ143および144はカレントミラー回路を構成しており、このP型薄膜トランジスタ143および144にはそれぞれ同じ電流が流れるのであるから、即ち、それぞれ $i/2$ の電流が流れることになる。その結果、端子out1から前記N型薄膜トランジスタ141に向かって i_{df} の電流が流れ、前記N型薄膜トランジスタ142から端子out2に向かって i_{df} の電流が流れることになる。つまり $V_{in} > V_{ref}$ の関係が成り立つとき、この前記差動対回路145は端子out1から電流を引き込んで端子out1の電圧を下げ、端子out2に電流を流し込んで端子out2の電圧を上げるよう動作するのである。同様に、図11

(b)に示すように $V_{in} < V_{ref}$ の関係が成り立つときには、図11(a)の場合とは逆に、前記差動対回路145は端子out1に電流を流し込んで端子out1の電圧を上げ、端子out2から電流を引き込んで端子out2の電圧を下げるよう動作する。

【0049】以上に説明した差動対回路を用いた差動増幅回路は、実際には図12に示したタイムチャートのように入力される。クロック信号CLKは V_{dd} と V_{ss} とを繰り返す周期信号である。ここでは、矩形波を入力した例について述べるが、これは正弦波でも構わず、さらには矩形波に遅延を生じた波形でも良く、つまりは後述する差動動作が対称に行える波形であれば良い。また、参照電圧 V_{ref} はクロック信号CLKの振幅中心、即ちここでは $(V_{dd} + V_{ss})/2$ に設定する。これにより、クロック信号CLKは V_{ref} から相対的に見て正負に波形の対称性が得られ、延いてはクロック ϕ とクロック ϕ^* との対称性を最も良くすることができる。これは、図11で説明した前記出力端子out1およびout2に流れる電流 i_{df} が、(a)の $V_{in} > V_{ref}$ の関係が成り立つ場合と(b)の $V_{in} < V_{ref}$ の関係が成り立つ場合とで相異なるとき、前記端子out1およびout2の電圧波形に対称性が損なわれることから逆説的に説明できる。さて、図12に示すように、クロック信号CLKおよび参照電圧 V_{ref} を差動対回路の2つの入力端子に入力したときには、前にも説明した通り、クロック信号CLKの電圧が参照電圧 V_{ref} よりも大きいときには前記端子out1の電圧を下げ、前記端子out2の電圧を上げるよう差動動作をする。また、クロック信号CLKの電圧が参照電圧 V_{ref} よりも小さいときには前記端子out1の電圧を上げ、前記端子out2の電圧を下げるよう差動動作をする。この様子を図12の2段目および3段目に示す。2段目に示すのが前記端子out2での出力電圧波形であり、3段目が前記端子out1での出力電圧波形である。これを前記バッファ回路146および144'で増幅することによりクロック ϕ および ϕ^* を得ることができる。差動増幅回路を用いてクロック ϕ および ϕ^* を同タイミングで生成することにより、クロック間の遅延差、同期ずれの無い一対のクロック信号

を得ることが可能となる。

【0050】以上、説明した本実施例2を用いることにより、シフトレジスタ回路に入力されるクロック ϕ およびクロック ϕ^* の同期ずれを実質的になくすることができ、さらには電源電圧の如何に関らず同様に差動増幅回路が同タイミングで一対のクロック信号を生成することができるので、これを用いた薄膜トランジスタ回路が電源電圧を上げるに従って誤動作し易くなるということは無い。

【0051】なお、ここでは差動増幅回路について一例を挙げたに過ぎないが、図10に示した前記差動対回路145のN型薄膜トランジスタをP型薄膜トランジスタに変え、P型薄膜トランジスタをN型薄膜トランジスタに変え、正電源と負電源を入れ替えることにより同機能の差動増幅回路を得ることができる。また、それ意外にも、内部に差動対回路を有する差動増幅回路であれば問題なく本実施例2の前記差動増幅回路として適用できる。

【0052】以上、実施例1および実施例2について別々に説明したが、これらを同時に用いることにより薄膜トランジスタ回路の一層の安定動作を保證することができる。

【0053】(実施例3)ところで、図11の前記N型薄膜トランジスタ140は定電流源として機能することは述べたが、この薄膜トランジスタを用いて定電流を安定して出力する方法について以下に詳しく述べる。

【0054】等価的な定電流源として薄膜トランジスタを用いるには、前述したように、その伝導特性の飽和領域での特性を用いるのが回路的に最も単純である。飽和領域とは、N型薄膜トランジスタの場合、ドレイン電圧を V_d 、ゲート電圧を V_g 、閾値電圧を V_0 としたとき $V_d < V_g - V_0$ となる電圧範囲のことである。当然、ここではエンハンスメント型の薄膜トランジスタを前提としているので $V_g > 0$ の条件を含んでいる。P型薄膜トランジスタもこれに準じる。薄膜トランジスタを流れる電流は、飽和領域においてゲート電圧にのみ依存しドレイン電圧に殆ど依存しないという特徴を有している。本実施例2では定電流源として薄膜トランジスタの飽和領域での特性を用いるために、薄膜トランジスタのゲート電圧として上記の飽和領域の範囲条件を満たす電圧 V_{bias} を印加している。

【0055】これを定電流源として利用することにより、カレントミラー回路を用いる代表的な方法に比べ、低消費電流かつ1素子による単純な回路で定電流源を構築できるという利点がある。さらには、薄膜トランジスタの伝導特性は、MOSFETの伝導特性のようにバックゲート電圧 V_{sub} に依存することが無いので、定電流量の制御をゲート電極のみで行うことができ定電流源の制御が容易になるという利点がある。

【0056】さらに、この定電流特性をより良くするに

は、この薄膜トランジスタをオフセットゲート化またはLDD (Lightly Doped Drain) 化した薄膜トランジスタにすれば良い。一般に、オフセットゲートとはゲート電極端の直下から離れた位置にドレイン電極端がある薄膜トランジスタ構造のことを指し、LDDとはゲート電極端直下とドレイン電極端との間に低濃度の不純物領域を設けた薄膜トランジスタ構造のことを指している。オフセットゲート化またはLDD化した薄膜トランジスタと通常の薄膜トランジスタとについて、飽和領域におけるドレイン電流のドレイン電圧依存性を模式的に示したのが図13である。図13(a)は通常のN型薄膜トランジスタの飽和領域での伝導特性であり、(b)はLDD化またはオフセットゲート化したN型薄膜トランジスタの飽和領域での伝導特性である。実線で示したのが飽和領域での伝導特性であり、点線で示したのが線形領域での伝導特性である。縦軸はドレイン電流を対数スケールにとり、横軸はゲート電圧を線形にとった。それぞれの図の2本の線は、ドレイン電圧が V_{d1} 、 V_{d2} (但し、 $V_{d1} < V_{d2}$) のときのドレイン電流を示している。これを見て分かるように、通常の薄膜トランジスタでは飽和領域においても若干のドレイン電圧依存性があるのに対し、オフセットゲート化またはLDD化することにより飽和領域でのドレイン電圧依存性は実質的になくなる。オフセットゲート化またはLDD化した薄膜トランジスタ回路を用いて前記差動対回路の定電流源を構成することにより、前記差動対回路の入力電圧に全く依存せずに安定した電流を出力する定電流源を得ることができる。さらには、これを用いた薄膜トランジスタ回路を低消費電力化し、かつその消費電流のばらつきを小さくすることができるため電源容量等の設計を容易にすることができる。

【0057】

【発明の効果】上記実施例1または実施例2による手段を講じた薄膜トランジスタ回路においては、電源電圧に対する誤動作の発生確率の依存性が無くなるため、動作を保証する電源電圧の規格範囲を大きくとることが可能となる。さらに、上記実施例2による手段を講じた薄膜トランジスタ回路においては、そのシフトレジスタ部におけるクロックタイミングに対する余裕が生じるため、外部のクロック発生回路のタイミング余裕を大きくすることができ、延いては前記薄膜トランジスタ回路を用いたシステム全体の設計余裕を大きくすることができる。また、本実施例3による手段を講じた薄膜トランジスタ回路においては、定電流源を極めて簡単な回路構成で得ているため、薄膜トランジスタ回路の低消費電力化や、小型化の目的に適している。

【図面の簡単な説明】

【図1】 本発明の実施例2の一例を説明する図。

【図2】 従来の液晶表示装置の構成を説明する図。

【図3】 従来の液晶表示装置を説明する等価回路図。

【図4】 従来の液晶表示装置の駆動方法の一例を説明する図。

【図5】 従来の薄膜トランジスタ回路の、ノイズ等による誤動作の状況を説明する図。(a)は薄膜トランジスタを用いたシフトレジスタ回路の構成を説明する図。

(b)は前記シフトレジスタ回路の理想的な動作を説明するタイムチャート。(c)は前記シフトレジスタ回路が誤動作するときの状況を説明するタイムチャート。

【図6】 従来の薄膜トランジスタ回路の、クロックの同期ずれによる誤動作の状況を説明する図。(a)は薄膜トランジスタを用いたシフトレジスタ回路の構成を説明する図。(b)は前記シフトレジスタ回路が誤動作するときの状況を説明するタイムチャート。

【図7】 クロックドインバータの基本構成および動作を説明する図。(a)は最も一般的なクロックドインバータの基本構成を説明する図。(b)は前記クロックドインバータの動作を説明する表。

【図8】 本発明の実施例1の一例を説明する図。

【図9】 図8で示した本発明の実施例1の一例の回路動作を説明するタイムチャート。

【図10】 本発明の実施例2に用いる差動増幅回路の構成を説明する図。

【図11】 本発明の実施例2に用いる前記差動増幅回路の動作を説明する図。(a)は、クロック信号CLKの入力電圧 V_{in} が参照電圧 V_{ref} よりも大きい場合における、前記差動増幅回路の動作を説明する図。(b)は、 V_{ref} が V_{in} よりも大きい場合における、前記差動増幅回路の動作を説明する図。

【図12】 図1で示した本発明の実施例2の動作を説明するタイムチャート。

【図13】 本発明の実施例3を説明する図。

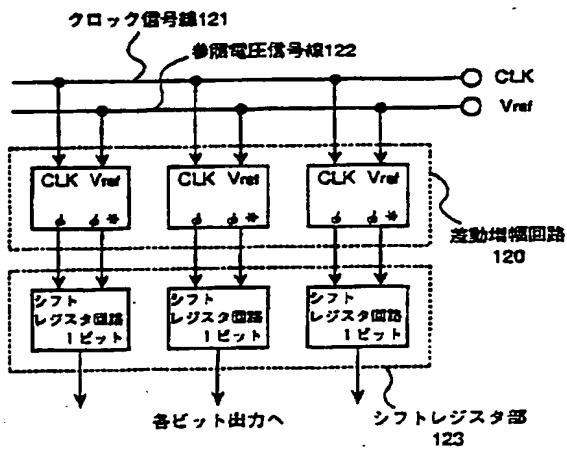
【符号の説明】

- 120 . . . 差動増幅回路
- 121 . . . クロックCLKを伝送するクロック信号線
- 122 . . . 参照電圧 V_{ref} を伝送する参照電圧信号線
- 123 . . . シフトレジスタ部
- CLK . . . クロック信号CLK
- V_{ref} . . . 参照電圧信号
- ϕ 、 ϕ^* . . . クロック ϕ およびクロック ϕ^*
- 201 . . . ソース線駆動回路
- 202 . . . ゲート線駆動回路
- 203 . . . 画素マトリクス
- 204 . . . 透明絶縁基板
- 205 . . . 薄膜トランジスタ
- 206 . . . 液晶セル
- X_1 、 X_2 、 X_3 . . . ソース線
- Y_1 、 Y_2 、 Y_3 . . . ゲート線
- P_{11} 、 P_{12} 、 P_{13} 、. . . 画素

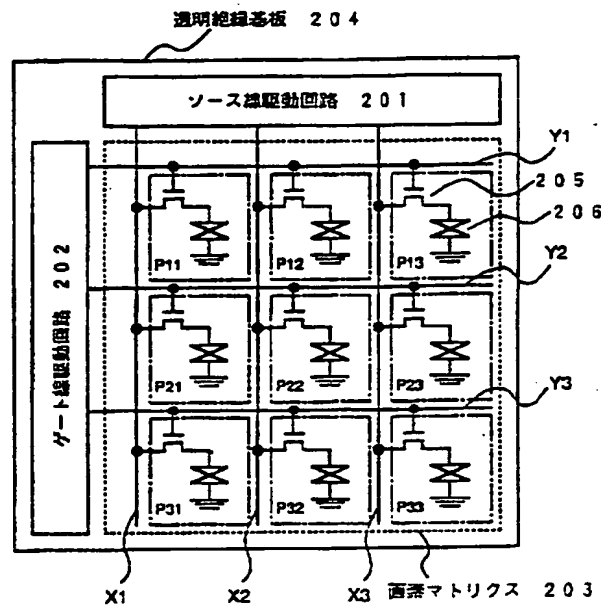
301 . . . ソース線駆動回路
 302 . . . ゲート線駆動回路
 303 . . . 画素マトリクス
 304 . . . X側シフトレジスタ
 305 . . . X側バッファ
 306 . . . ビデオ信号線
 307, 307' . . . アナログスイッチ
 308, 308' . . . ソース線
 309 . . . Y側シフトレジスタ
 310 . . . Y側バッファ
 311, 311' . . . ゲート線
 312, 312' . . . 薄膜トランジスタ
 313, 313' . . . 液晶セル
 331 . . . クロックCLXで規定されるクロック
ドインバータ
 332 . . . クロックCLX*で規定されるクロッ
クドインバータ
 333 . . . インバータ
 334 . . . X側シフトレジスタの基本セル
 335 . . . クロックCLYで規定されるクロック
ドインバータ
 336 . . . クロックCLY*で規定されるクロッ
クドインバータ
 337 . . . インバータ
 338 . . . NAND論理ゲート
 339 . . . Y側シフトレジスタの基本セル
 341 . . . X側シフトレジスタのスタートパルス
入力端子
 342 . . . Y側シフトレジスタのスタートパルス
入力端子
 344 . . . ビデオ信号入力端子
 CLX, CLX* . . . クロックCLXおよびクロ
ックCLX*
 CLY, CLY* . . . クロックCLYおよびクロ
ックCLY*
 P₁, P₂ . . . 図3の等価回路の点P₁および点P₂
 Q₁, Q₂ . . . 図3の等価回路の点Q₁および点Q₂
 R₁, R₂ . . . 図3の等価回路の点R₁および点R₂
 V₁ . . . 図3の等価回路の点V₁
 401 . . . 図3の点P₁での電圧波形
 402 . . . 図3の点P₂での電圧波形
 403 . . . 図3の点Q₁での電圧波形
 404 . . . 図3の点Q₂での電圧波形
 405 . . . 図3の点V₁での電圧波形
 406 . . . 図3の点R₁での電圧波形
 407 . . . 図3の点R₂での電圧波形
 408 . . . ビデオ中心
 411 . . . 図3のクロックCLYの電圧波形
 412 . . . 図3のクロックCLXの電圧波形

501, 506 . . . クロックφで規定されている
クロックドインバータ
 502, 505 . . . インバータ
 503, 504 . . . クロックφ*で規定されてい
るクロックドインバータ
 D_{in} . . . シフト開始信号入力端子およびその信号
 P₅₁~P₅₄ . . . 点P₅₁~P₅₄
 t₅₀~t₅₅ . . . 時点t₅₀~t₅₅
 601, 606 . . . クロックφで規定されている
クロックドインバータ
 602, 605 . . . インバータ
 603, 604 . . . クロックφ*で規定されてい
るクロックドインバータ
 P₆₁~P₆₄ . . . 点P₆₁~P₆₄
 t₆₀~t₆₅ . . . 時点t₆₀~t₆₅
 701 . . . 第1のP型薄膜トランジスタ
 702 . . . 第2のP型薄膜トランジスタ
 703 . . . 第1のN型薄膜トランジスタ
 704 . . . 第2のN型薄膜トランジスタ
 V_{dd} . . . 正電源電圧
 V_{ss} . . . 負電源電圧
 CL1, CL2 . . . クロック信号CL1およびC
L2
 IN . . . クロックドインバータの入力端子
 OUT . . . クロックドインバータの出力端子
 801, 808 . . . クロックφで規定されている
クロックドインバータ
 802, 806 . . . ダイオード回路
 803, 807 . . . インバータ
 804, 805 . . . クロックφ*で規定されてい
るクロックドインバータ
 P₈₀~P₈₆ . . . 点P₈₀~P₈₆
 V_H, V_L . . . ハイレベルおよびローレベル
 V_{th} . . . 薄膜トランジスタの閾値電圧
 t₉₀~t₉₄ . . . 時点t₉₀~t₉₄
 P₈₀~P₈₆ . . . 点P₈₀~P₈₆での電圧波形
 140, 141, 142 . . . N型薄膜トランジス
タ
 143, 144 . . . P型薄膜トランジスタ
 145 . . . 差動対回路
 146, 146' . . . バッファ
 out1, out2 . . . 差動対回路145の出力
端子兼、バッファ146および146'の入力端子
 V_{bias} . . . N型薄膜トランジスタ140に印加す
るバイアス電圧
 i . . . 定電流i
 i_{df} . . . 差動電流i_{df}
 V_{d1}, V_{d2} . . . ドレイン電圧V_{d1}, V_{d2}

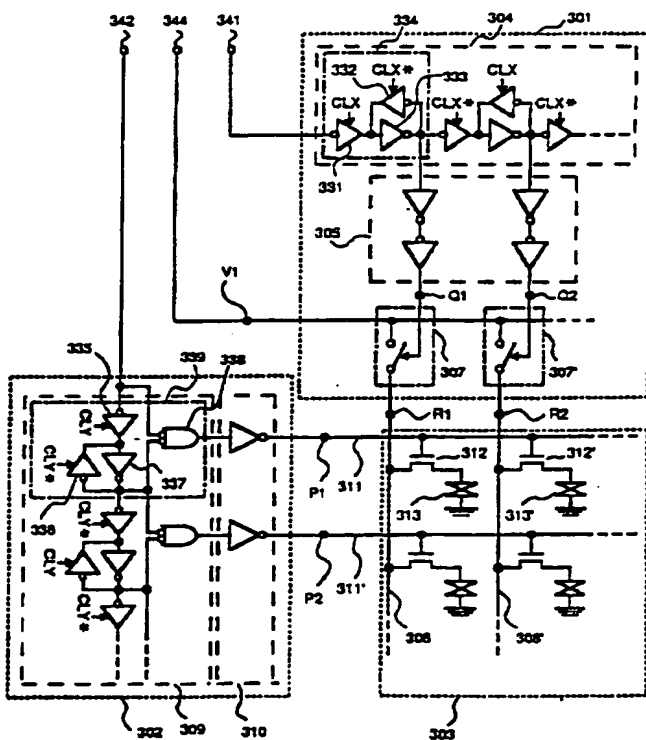
【図1】



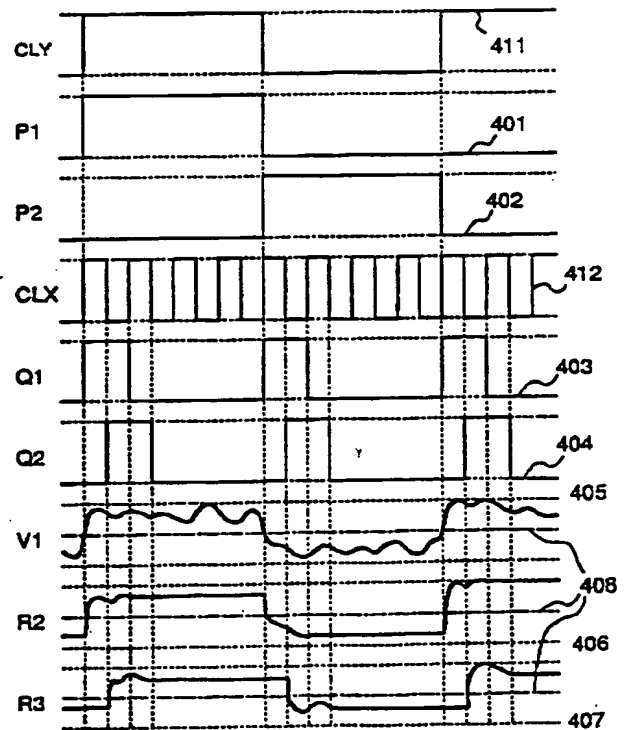
【図2】



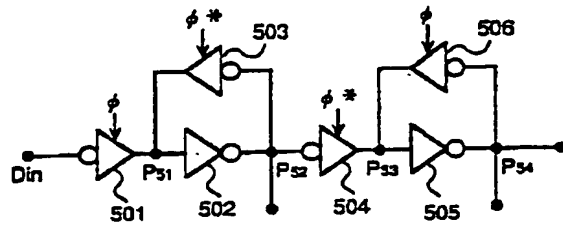
【図3】



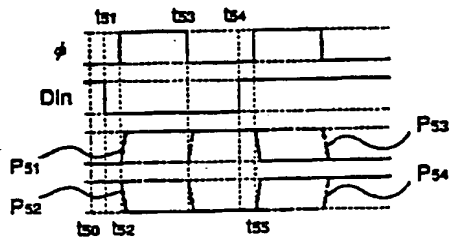
【図4】



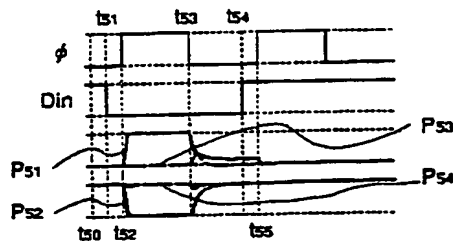
【図5】



(a)

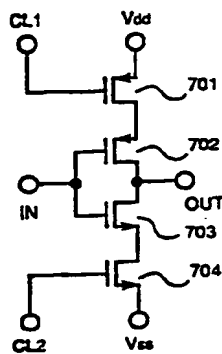


(b)



(c)

【図7】

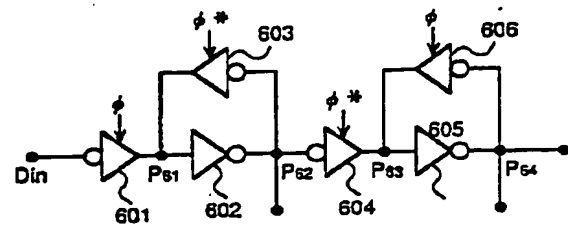


(a)

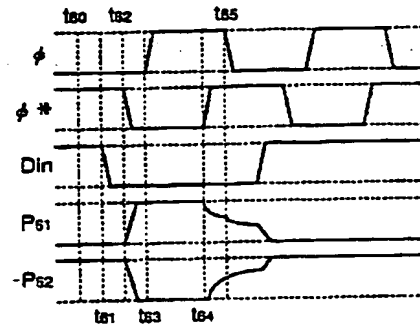
クロックCL1		クロックCL2	
	H	L	
H	不安定	インバータ動作せず	
L	インバータ動作せず	不安定	

(b)

【図6】

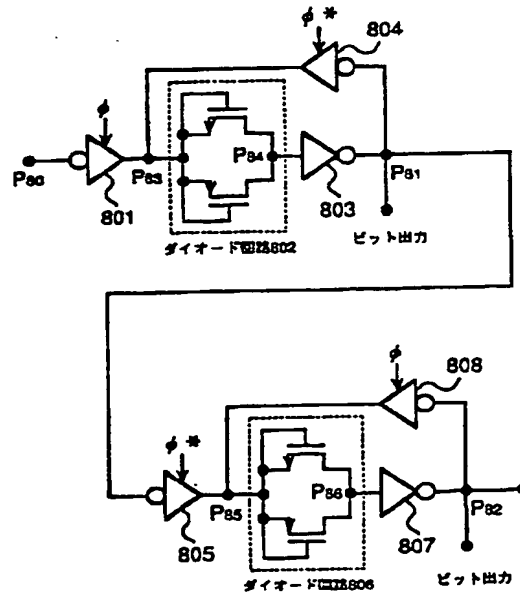


(a)

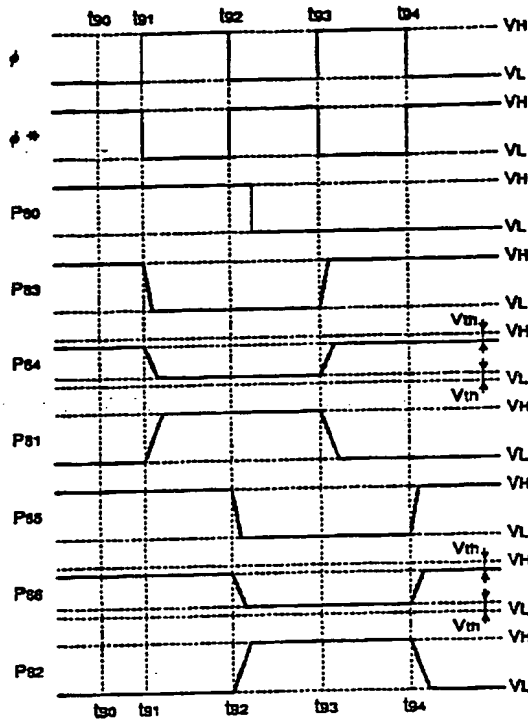


(b)

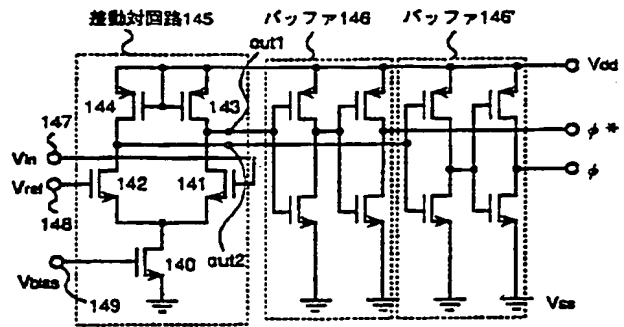
【図8】



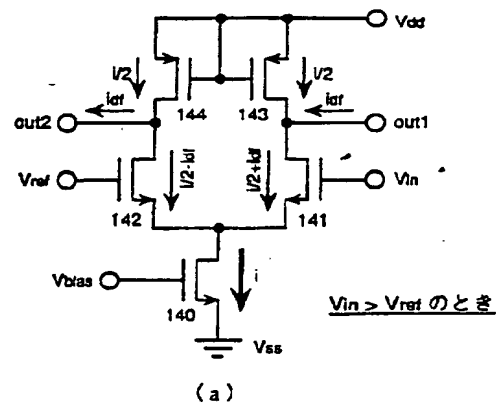
【図9】



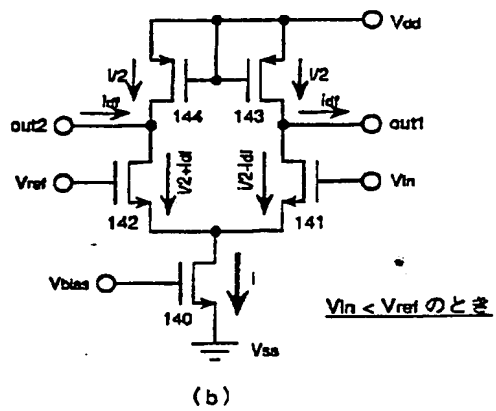
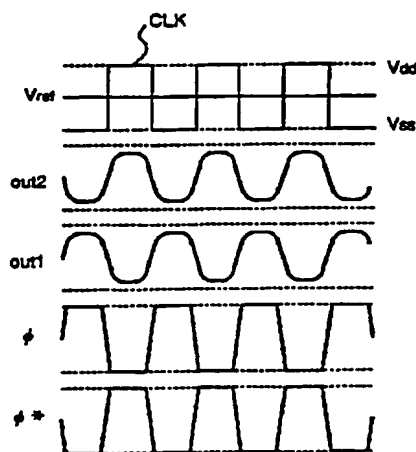
【図10】



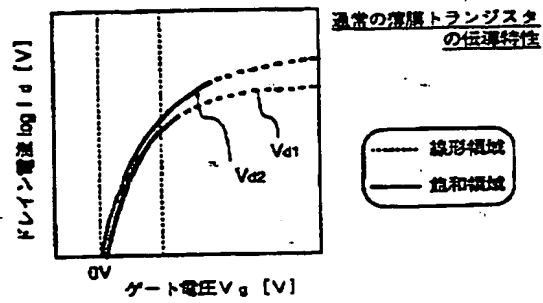
【図11】



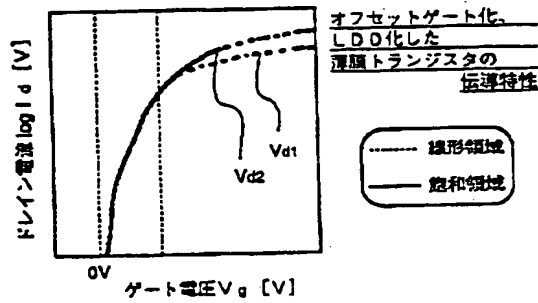
【図12】



【図13】



(a)



(b)